

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
009997897 \*\*Image available\*\*  
WPI Acc No: 1994-265608/199433  
XRAM Acc No: C94-121449  
XRPX Acc No: N94-209042

**Crystalline semiconductor film mfr. for thin film transistor - by catalysed low temp. formation from amorphous silicon@**  
Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )  
Inventor: TAKEMURA Y; YAMAZAKI S; ZHANG H; TAKAYAMA T; UOCHI H  
Number of Countries: 007 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 612102	A2	19940824	EP 94301075	A	19940215	199433 B
JP 6244103	A	19940902	JP 9348531	A	19930215	199440
JP 6244105	A	19940902	JP 9348535	A	19930215	199440
JP 6296020	A	19941021	JP 9440522	A	19940215	199502
EP 612102	A3	19941019	EP 94301075	A	19940215	199534
US 5608232	A	19970304	US 94196856	A	19940215	199715
			US 95462770	A	19950605	
CN 1098554	A	19950208	CN 94103241	A	19940215	199721
US 5639698	A	19970617	US 94196856	A	19940215	199730
US 5897347	A	19990427	US 94196856	A	19940215	199924
			US 96718895	A	19960924	
US 5956579	A	19990921	US 94196856	A	19940215	199945
			US 96718895	A	19960924	
			US 97893361	A	19970715	

Priority Applications (No Type Date): JP 9348535 A 19930215; JP 9348531 A 19930215; JP 9348533 A 19930215

Cited Patents: -SR.Pub; 4.Jnl.Ref; JP04062976; AUS 5147826; XWO 9201089

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 612102	A2	E	45 H01L-021/20	
Designated States (Regional): DE FR GB NL				
JP 6244103	A		5 H01L-021/20	
JP 6244105	A		7 H01L-021/20	
JP 6296020	A		13 H01L-029/784	
US 5608232	A		H01L-029/76	Div ex application US 94196856
US 5639698	A		39 H01L-021/20	
US 5897347	A		H01L-021/00	Div ex application US 94196856 Div ex patent US 5639698
US 5956579	A		H01L-021/00	Div ex application US 94196856 Div ex application US 96718895 Div ex patent US 5639698 Div ex patent US 5897347
EP 612102	A3		H01L-021/20	
CN 1098554	A		H01L-021/00	

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04572203 \*\*Image available\*\*

**MANUFACTURE OF SEMICONDUCTOR**

PUB. NO.: 06-244103 [JP 6244103 A]

PUBLISHED: September 02, 1994 (19940902)

INVENTOR(s): YAMAZAKI SHUNPEI

CHIYOU KOUYUU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-048531 [JP 9348531]

FILED: February 15, 1993 (19930215)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1636, Vol. 18, No. 626, Pg. 93, November 29, 1994 (19941129)

**ABSTRACT**

PURPOSE: To provide a crystalline silicon film by a method wherein after clusters or the like are formed on a silicon film in the amorphous state, and reacted with amorphous silicon, catalyst material which has not yet reacted is eliminated, and annealing is performed at a temperature lower than the crystallization temperature of ordinary amorphous silicon.

CONSTITUTION: A substratum silicon oxide film 12 of 2000 angstroms in thickness is formed by a plasma CVD method. An amorphous silicon film 13 is deposited to be 1500 angstroms thick by a plasma CVD method, and a nickel film 14 is deposited by a sputtering method. After that, the nickel film is made to react with the amorphous silicon film 13, and a thin crystalline silicon layer 15 is formed on the interface. Then annealing is performed for 8 hours in a nitrogen atmosphere at 450-580 deg.C in an annealing furnace. By the above process, the amorphous silicon film is crystallized, and a crystalline silicon film 16 can be obtained.

**Abstract (Basic): EP 612102 A**

Fabricating a semiconductor comprises preparing on a surface, a semiconductor film contg. or in contact with a catalytic material at least partly crystallising the semiconductor film.

A laser beam or a light equivalent to a laser beam is pref irradiated to the Si film after the reaction; the removing step is pref. performed using HCl acid or HF acid.

**USE/ADVANTAGE** - Used as thin film insulator gate type FETs (TFTs). Low temps. and short time periods for the crystallisation of amorphous Si results. Conventional equipment, appts. and techniques are used highly suited to mass prodn.. Dwg.1A/26

**Title Terms:** CRYSTAL; SEMICONDUCTOR; FILM; MANUFACTURE; THIN; FILM; TRANSISTOR; CATALYST; LOW; TEMPERATURE; FORMATION; AMORPHOUS; SILICON

**Derwent Class:** L03; U11

**International Patent Class (Main):** H01L-021/00; H01L-021/20; H01L-029/76

**International Patent Class (Additional):** H01L-021/205; H01L-021/268;

H01L-021/322; H01L-021/324; H01L-021/336; H01L-021/84; H01L-029/04;

H01L-029/784; H01L-031/036; H01L-031/112

**File Segment:** CPI; EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244103

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/20		8122-4M		
21/324	Z	8617-4M		
// H 01 L 21/336				
29/784		9056-4M	H 01 L 29/ 78 3 1 1 Y 審査請求 未請求 請求項の数4 FD (全5頁)	

(21)出願番号 特願平5-48531

(22)出願日 平成5年(1993)2月15日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 山崎 舞平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

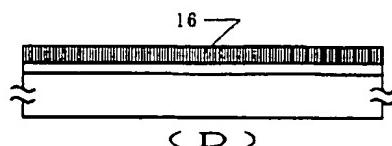
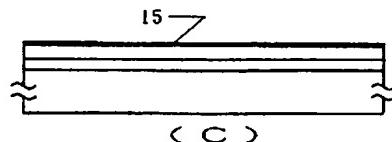
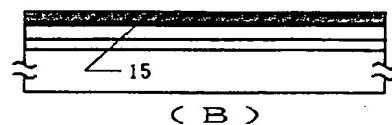
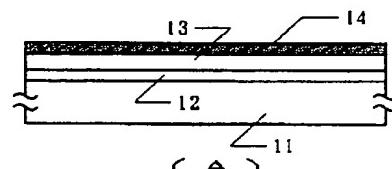
最終頁に続く

(54)【発明の名称】 半導体の製造方法

(57)【要約】

【目的】 実質的にアモルファス状態のシリコン膜をアモルファスシリコンの結晶化温度以下のアニールによって結晶化させる方法を提供する。

【構成】 アモルファスシリコン膜上にニッケル、鉄、コバルト、白金の単体もしくはその珪化物等の触媒材料の被膜、粒子、クラスター等を形成し、これとアモルファスシリコンとの反応によって生じる物質のうち、前記触媒材料を含むものを除去し、残った結晶シリコンを核として結晶化を進展させ、結晶シリコン膜を得る。



## 【特許請求の範囲】

【請求項1】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、前記シリコン膜上にニッケル、鉄、コバルト、白金のうち少なくとも1つを含有する触媒材料を形成する第2の工程と、前記アモルファスシリコンの表面と触媒材料を反応させる第3の工程と、前記工程後、触媒材料を除去する第4の工程と、前記工程後、基板をアモルファスシリコンの結晶化温度よりも低い温度でアニールする第5の工程と、を有することを特徴とする半導体の製造方法。

【請求項2】 請求項1において、第2の工程で使用される触媒材料は珪素とニッケルを含有し、その組成比は、珪素/ニッケル=0.4~2.5であることを特徴とする半導体の製造方法。

【請求項3】 請求項1において、第5の工程のアニール温度は通常のアモルファスシリコンの結晶化温度より20~150℃低いことを特徴とする半導体の製造方法。

【請求項4】 請求項2において、第4の工程は、塩酸もしくはフッ酸を用いておこなわれることを特徴とする半導体の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜状の絶縁ゲート型電界効果トランジスタ（薄膜トランジスタもしくはTFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

## 【0002】

【従来の技術】 従来、薄膜状の絶縁ゲート型電界効果トランジスタ（TFT）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、絶縁基板等の絶縁表面上にプラズマCVD法や熱CVD法で形成されたアモルファスシリコン膜を電気炉等の装置の中で600℃以上の温度で12時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電解効果移動度や高い信頼性）を得るためにより長時間の熱処理が求められていた。

## 【0003】

【発明が解決しようとする課題】 しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとすると、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかつた。しかしながら、例えば、通常使用される管状炉では、1度に処理できる基板の枚数は50枚がせいぜいで、1つの装置（反応管）だけを使用した場合には1枚当たり30分も時間がかかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかつた。このことは投資規模が

拡大することと、その投資の減価償却が大きく、製品のコストに跳ね返ることを意味していた。

【0004】 もう1つの問題は、熱処理の温度であつた。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指數関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

【0005】 一方、無アルカリガラスは、石英に比べればコストは十分に低いが、耐熱性の点で問題があり、一般に歪み点が550~650℃程度、特に入手しやすい材料では600℃以下であるので、600℃の熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜上にニッケル、鉄、コバルト、白金のうち少なくとも1つを含有する膜や粒子、クラスター等（以下、触媒材料という）を形成し、これを最初にアモルファスシリコンと反応させたのち、未反応の触媒材料を除去し、次いで通常のアモルファスシリコンの結晶化温度よりも低い温度、好ましくは20~150℃低い温度、例えば580℃以下の温度でアニールすることによって結晶性シリコン膜を得ることを特徴とする。

【0007】 本発明人は、従来の固相結晶化の考えとは全く別に、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）がシリコンと結合しやすく、例えば、ニッケルの場合、容易に珪化ニッケル（化学式Ni<sub>x</sub>Si<sub>1-x</sub>, 0.4≤x≤2.5）となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元系のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、

## アモルファスシリコン+珪化ニッケル

## +珪化ニッケル+結晶シリコン

という反応が生じることが明らかになった。この反応のボテンシャル障壁は十分に低く、反応の温度も低い。

【0008】この反応式は、ニッケル原子がアモルファスシリコンを結晶シリコンに造り変えることを示している。実際には、580°C以下で、反応が開始され、450°Cでも反応が観測されることが明らかになった。また、この反応によって得られた結晶シリコンは結晶性が良好であった。ただし、ニッケル原子そのものは半導体材料としてのシリコンにとっては好ましくない。そこで、ニッケル原子を除去する工程が必要である。これには、塩酸(HCl)もしくはフッ酸(HF)を用いればよい。これらの酸はニッケルおよび珪化ニッケルは浸食するが、アモルファスシリコン、結晶シリコンは侵さない。

【0009】ニッケル原子を除去しても、上記の反応によって形成された結晶シリコンが残存していれば、これを核として結晶化をおこなえる。前述の通り、上記の反応によって生成されたシリコン結晶はその結晶性が良好であるので、これを核としてアモルファスシリコンの結晶化が促進されることが明らかになった。典型的には、通常のアモルファスシリコンの結晶化温度に比較して20~150°C低い温度で結晶化できることが示された。また、結晶成長に要する時間も従来より短縮された。当然のことであるが、温度が高いほど結晶化の進行する速度が速い。また、鉄、コバルト、白金でも、ニッケルよりも劣るが同様な反応が見られた。

【0010】本発明では、ニッケル、鉄、コバルト、白金単体もしくはその珪化物等を含有する膜、粒子、クラスター等を触媒材料として用いることが好ましい。ただし、上記元素を酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0011】また、本発明では、特に上記触媒材料を選択的に設けることによって、結晶成長の方向を制御することができる。このような手法を用いて得られた結晶シリコンは、従来の固相エピタキシャル成長とは異なり、長距離にわたって結晶性の連続性のよい、単結晶に近い構造を有するものであるので、TFT等の半導体素子に利用するうえでは都合がよい。

【0012】また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果(結晶化速度)が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には0.01原子%以上5原子%以下であった。さらに、良好な結晶性を得るためにアモルファスシリコン膜中には

炭素、窒素、酸素の濃度は少ないほど良く、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることが望まれる。

## 【0013】

【実施例】【実施例1】コーニング7059ガラス基板上のニッケル膜を形成し、これを触媒としてアモルファスシリコン膜の結晶化をおこない、結晶シリコン膜を得る方法について図1をもとに説明する。基板21上に、厚さ2000Åの下地酸化珪素膜12をプラズマCVD法によって形成した、次にプラズマCVD法によってアモルファスシリコン膜13を500~3000Å、例えば1500Å堆積し、窒素雰囲気中430°C、0.1~2時間、例えば0.5時間水素出しをおこなった。引き続き、スパッタ法によってニッケル膜14を厚さ100~1000Å、例えば500Å堆積した。ニッケルの成膜時には基板を100~500°C、好ましくは180~250°Cに加熱しておくと良好な結果が得られた。これは下地のシリコン膜とニッケル膜とも密着性が向上するためである。ニッケルの代わりに珪化ニッケルを用いてもよかった。(図1(A))

【0014】その後、450~580°Cで1~10分だけ加熱して、上記ニッケル膜14とアモルファスシリコン膜13とを反応させ、その界面に薄い結晶シリコン層15を形成した。この結晶シリコン層の厚さは反応温度、時間に依存するが、550°C、10分の条件では、約300Åであった。(図1(B))

【0015】次に、ニッケル膜および、ニッケル膜と反応して生じた珪化ニッケル膜を5~30%の塩酸でエッチングした。このエッチングではアモルファスシリコンと(珪化)ニッケルとの反応によって生じた結晶シリコンには影響がなかった。(図1(C))

次いで、これをアニール炉中450~580°C、例えば550°Cで8時間窒素雰囲気中でアニールした。この工程によってアモルファスシリコン膜を結晶化させ、結晶シリコン膜16を得ることができた。このとき得られた結晶シリコンのラマン散乱分光およびX線回折の結果を図3、図4に示す。図3において、C-Siは標準試料である単結晶シリコンのラマンスペクトルである。また、(a)は本実施例で得られたラマンスペクトル、(b)は触媒材料を有しない通常のアモルファスシリコンを上記の条件でアニールしたときのラマンスペクトルである。本発明によって良好な結晶シリコンが得られたことがわかる。

【0016】【実施例2】本実施例を図2に示す。コーニング7059ガラス基板21上に厚さ2000Åの下地酸化珪素膜22をプラズマCVD法によって形成した。次にプラズマCVD法によってアモルファスシリコン膜23を500~3000Å、例えば500Åおよび1500Å堆積し、窒素雰囲気中430°C、0.1~2時間、例えば0.5時間水素出しをおこなった。

【0017】その後、スパッタ法によってニッケル膜を

厚さ100~1000Å、例えば500Å堆積した。ニッケルの代わりに珪化ニッケルを用いてもよかつた。このようにして形成したニッケル膜をエッチングして、図に示すようなパターン24a、24b、24cを形成した。(図2(A))

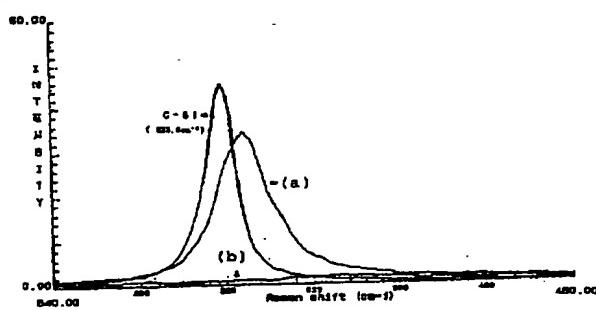
その後、450~580°Cで1~10分だけ加熱して、上記ニッケル膜24a~24cとアモルファスシリコン膜23とを反応させ、その界面に薄い結晶シリコン領域25a、25b、25cを形成した。(図2(B))

【0018】次に、ニッケル膜および、ニッケル膜と反応して生じた珪化ニッケル膜を5~30%の塩酸でエッチングした。このエッチングではアモルファスシリコンと(珪化)ニッケルとの反応によって生じた結晶シリコン25a~25cには影響がなかった。(図2(C)) 次に、これをアニール炉中450~580°C、例えば550°Cで4時間窒素雰囲気中でアニールした。図2(D)は、その中間状態で、先に形成された結晶シリコン領域25a~25bから結晶化が進行して、結晶シリコン領域26a、26b、26cがアモルファス領域23中に拡大してゆく様子を示す。

【0019】最終的にはアモルファスシリコン膜を全て結晶化させて結晶シリコン膜27を得た。実施例1では、結晶成長の方向が表面から基板側というように垂直に進行するのに対して、本実施例では、ニッケルパターンから横方向に進行する。例えば、図2(D)に示す結晶シリコン領域26a~26cは、それぞれ単結晶に近い構造を有している。このため、横方向に粒界等のポテンシャル障壁が生じることが比較的少なく、TFT等に利用するうえで都合がよい。ただし、例えば、結晶シリコン領域26aと26bが衝突する部分では結晶の欠陥が大きいので、その部分を用いることは好ましくない。図5には、本実施例による結晶化速度を測定した結果を示す。シリコン膜が厚いほど速く結晶化が進行することが明らかになった。

#### 【0020】

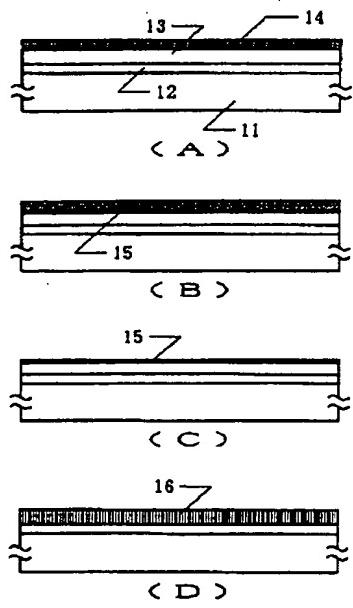
【図3】



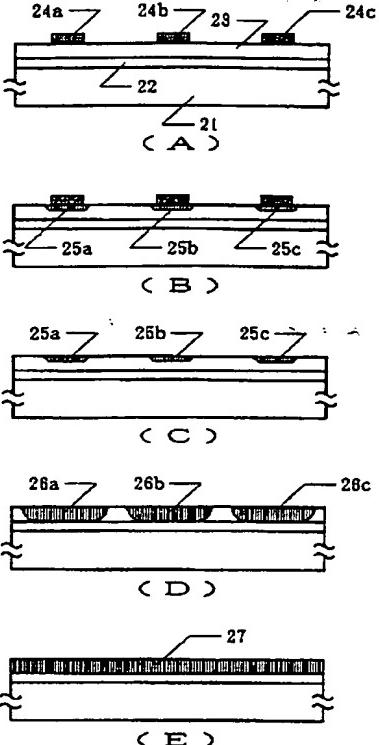
【図4】



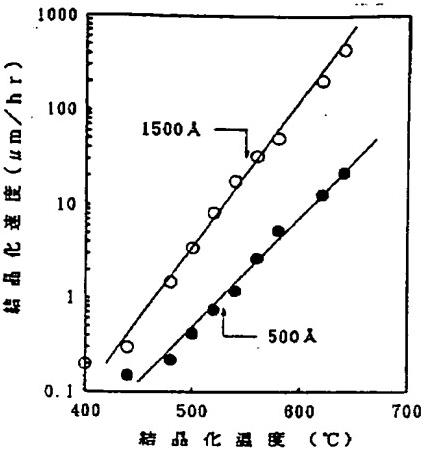
【図1】



【図2】



【図5】



フロントページの続き

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内